

版本更新说明		
版本号	更新日期	更新说明
V1.0	2024.01.24	初始版本
V1.1	2024.03.01	更正部分文字说明（如USB驱动电流改为8mA等）

杰理方案咨询(QQ号: 371116160, TEL: 0755-82922363)

产品安全规范

- 电源选型
 - 注意供电场景，严格控制输入电压范围。供电至VPWR，不和IOVDD短接(≤5.5V，如3.7V锂电池/5V适配器应用)，或供电至VPWR，和IOVDD短接(≤3.4V，如3.0V纽扣电池/2节干电池应用)。
 - 注意供电保护，防过压/过流/反接/浪涌等（如纽扣电池应用，必须考虑反接电路保护）。
- 电容选型
 - 注意容值随电压升高而下降，请确保工作电压下的容值（优选0402或更大尺寸的封装）。
 - 请使用原装电容（非拆机、劣质电容），以保证容量和品质。
 - 主控VPWR引脚电容耐压值要求≥16V，主控其他电容耐压值≥6.3V；其它外设电容耐压值工作要求选择（防止浪涌、过冲击穿）。
- 静电选型
 - 整机静电标准必须≥±4KV（接触±4KV，空气±8KV）。
 - 天线输入端必须加ESD管，请使用推荐型号。
- 浪涌选型
 - 抗浪涌值一般要求≥±8V（根据实际应用场景调整），建议留有冗余设计。
 - VPWR输入端必须加TVS管，请使用推荐型号。

设计注意事项

- 电源：
 - 内置电源输入单元，支持供电至VPWR（不和IOVDD短接，输入≤5.5V；和IOVDD短接，输入≤3.4V）。
 - IOVDD默认3V电源域输出，不可关闭，电压档位可设，2.1V≤IOVDD≤3.4V，Imax=120mA（包含主控IO消耗）；连接外设时，应避免过载输出。
 - IOVDD是APA音频模块的电源输入端，和VPWR短接（或合脚），其电压大小决定APA模块输出功率。
- 音频：
 - 内置1路16位Audio DAC，支持1路单端输出（固定出口PA5，必须外扩PA）。
 - 内置1路16位Audio ADC，支持AIN_x音频输入（x代表A通道），可选MIC或AUX输入，支持单端或差分，支持输入≤1.5Vpp@单端（或2.8Vpp@差分），单端时，输入可选AIN_APx，差分时，AIN_APx为正极，AIN_ANx为负极，x代表0/1/2/3/4通道。
 - 注1：MIC电容单端输入，MIC仍需外供偏置电压（MIC_BIAS）。
 - 注2：AIN_AP4（固定出口PA7），和MIC_BIAS合用，一般用于MIC供电，可选内置主控0.5K~10KΩ输出。
 - 注3：AIN_AP5（固定出口PA6），和AIN_AN合用，一般用于差分音频输入。
 - 注4：内置APA音频功放单元，支持桥式负载（BTL）输出模式，支持单端驱动或差分直推4ohm、8ohm喇叭，不支持立体声。
 - 注：APA/APAN，若无音频应用，可用作IO输出，一般仅用于PWM或UART_TX外设，“APA输出电压”必须限制在“外设的电源域”。
- IO：
 - 除固定IO，其他IO根据需求，依据芯片规格书IO说明进行灵活分配。
 - 所有GPIO均可配置为输出（边沿触发），低功耗唤醒时，IO状态可保持。
 - PA2支持外部持续4秒低电平触发复位，支持重映射，可软件烧写屏蔽。
 - PA0可做串口烧写更新程序，应用时主控需供电。
 - PA0/USBDM/USBDP上电默认下拉，PA2/PB0上电默认上拉。
 - USBDP可配上拉180KΩ，下拉1.5KΩ，USBDP可配上拉1.5KΩ，下拉1.5KΩ，其他IO可配内部上下下拉10KΩ/100KΩ/1MΩ。
 - PB5/PB6/PA0为高压IO，耐压≤（5.5V或2倍IOVDD中较小值），其他弱驱（8mA）。
 - USBDP/MDP可做普通IO（驱动电流8mA），其余IO驱动电流可选3/8/20/40~50mA四档。
 - 注：若无USB功能应用，USBDP/MDP一般仅用于IO按键或输入检测功能等。
 - ESP、SFC、SPB、RTC，内置驱动，ADC检测，音频AUDIOIO等外设，均为固定IO，严禁随意分配。
 - IC、ALINK、SPI/2、UART、SD、TIMER/PWM/MCPWM/CAP/CLKOUT等外设，支持crossbar映射，可灵活分配IO，支持映射到除PF组外的IO，如PA组、PB组等。
 - RF、射频、模拟AUDIO等信号相组IO，严禁分配高速跳变信号，且应做好隔离，避免干扰。

IO名词解析

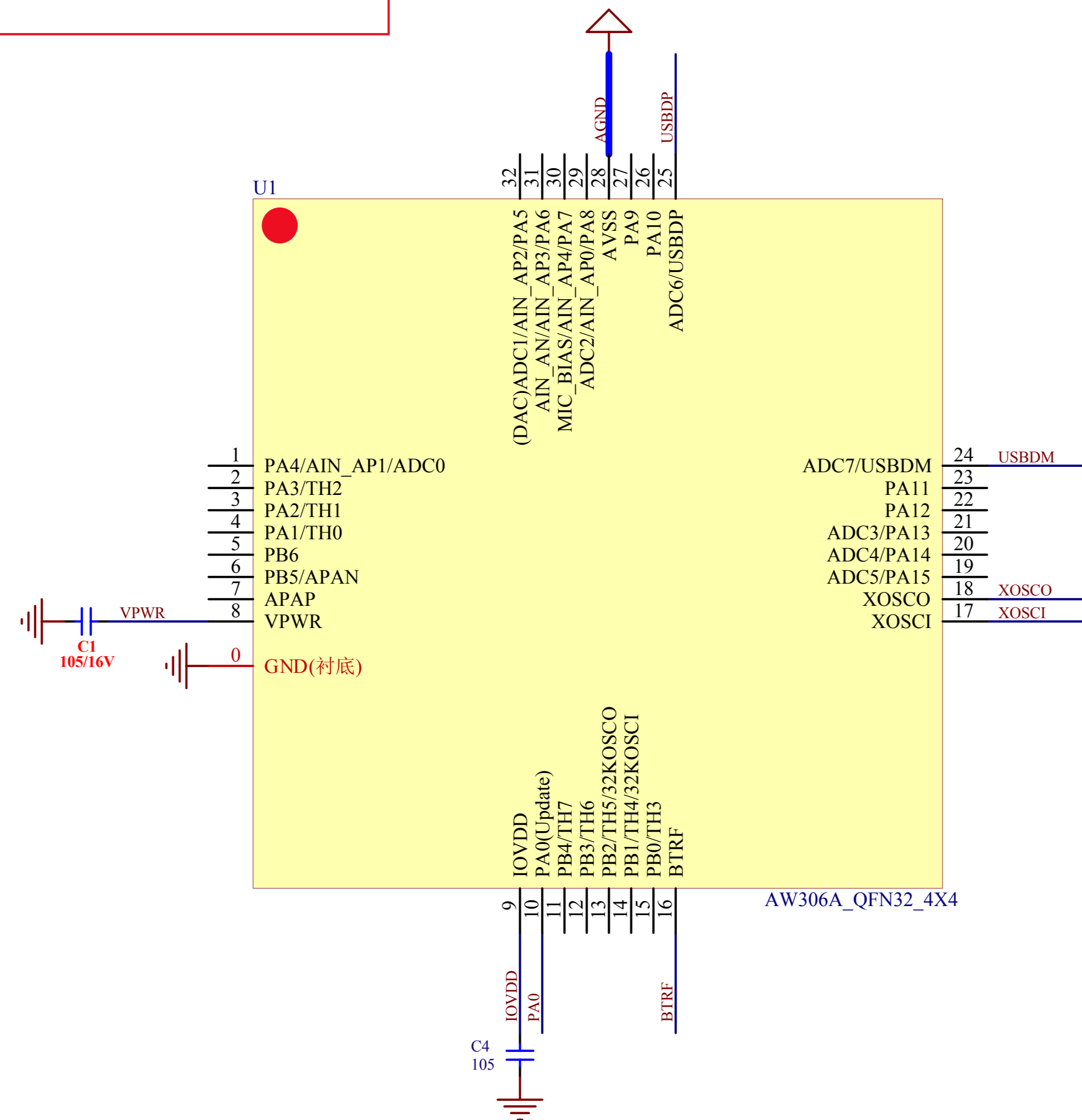
VPWR: 芯片供电输入端；
 APA: 音频处理器（D类功放）；
 AIN_x: 模拟音频输入（x为通道）；
 ADCx: ADC采样输入检测（x为通道）；
 THx: 内置触摸（x为通道）；
 Update: 串口更新程序；

AGND走线要求

AGND走线要求：
 1、PCB Layout需要分地（区分AGND和GND）
 2、AGND走线顺序：音频设备AGND→主控AGND管脚→功放Bypass电容地或总电源供电入口GND短接处。
 即MIC/AUX/PA等音频模拟地，单独大面积走线至主控AGND管脚，再从主控AGND管脚，单独走线到功放Bypass电容地或总电源供电入口GND短接处。
 注：若板空间受限，可尝试AGND在主控衬底地短接（注意验证音频设备是否有噪声）。

最小系统参考

(IO外设，根据需求拓展)

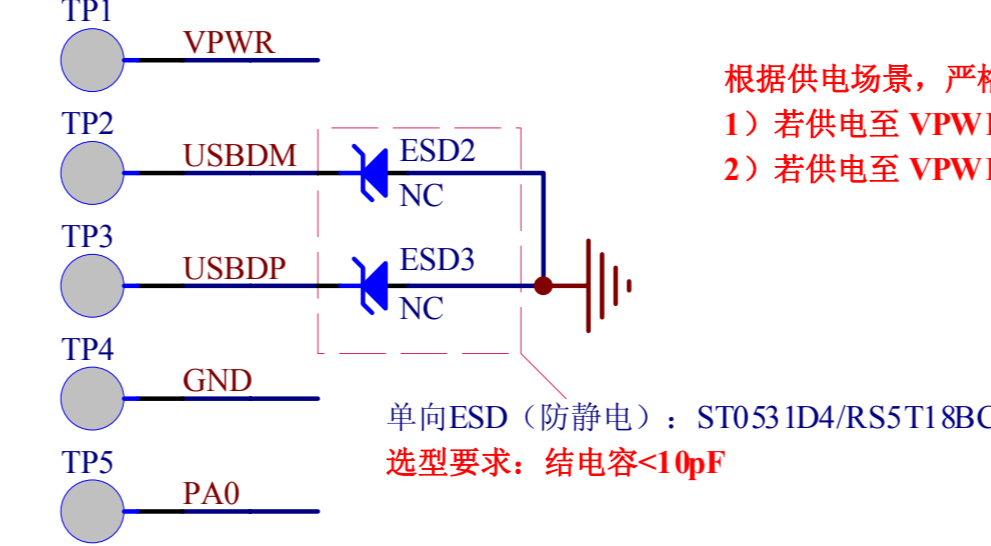


MCU

烧写场景说明

烧写场景	烧写说明	预留烧写测试点	备注
USB更新程序		VPWR、USBDM、USBDP、GND	
串口更新程序		VPWR、PA0、GND	

预留测试点，方便烧写、升级、测试



根据供电场景，严格控制VPWR电压值
 1) 若供电至VPWR，不和IOVDD短接（如3.7V锂电池/5V适配器），烧写电压要求≤5.5V
 2) 若供电至VPWR，和IOVDD短接（如3.0V纽扣电池/2节干电池），烧写电压要求≤3.4V

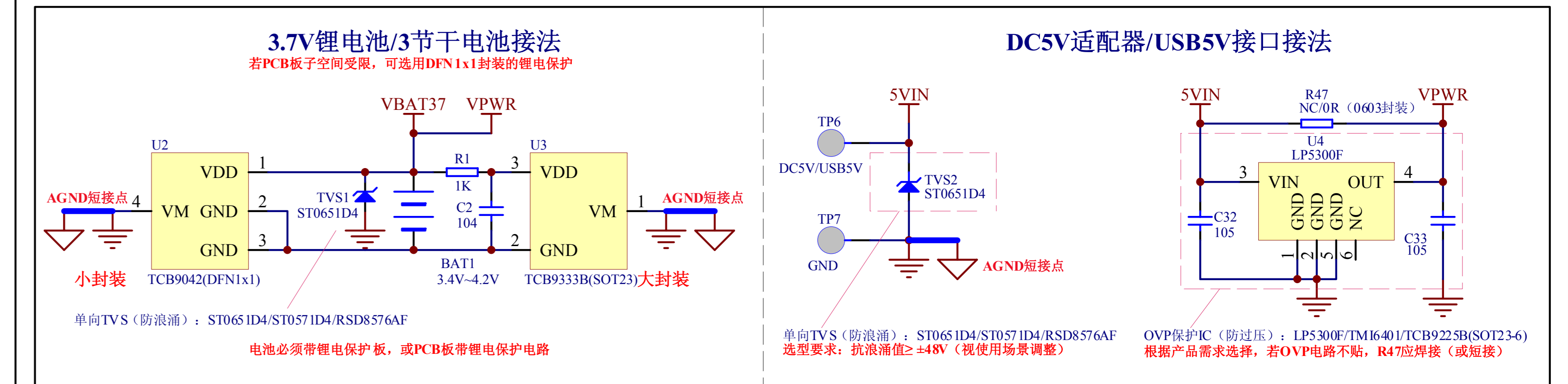
TEST POINT

供电场景说明

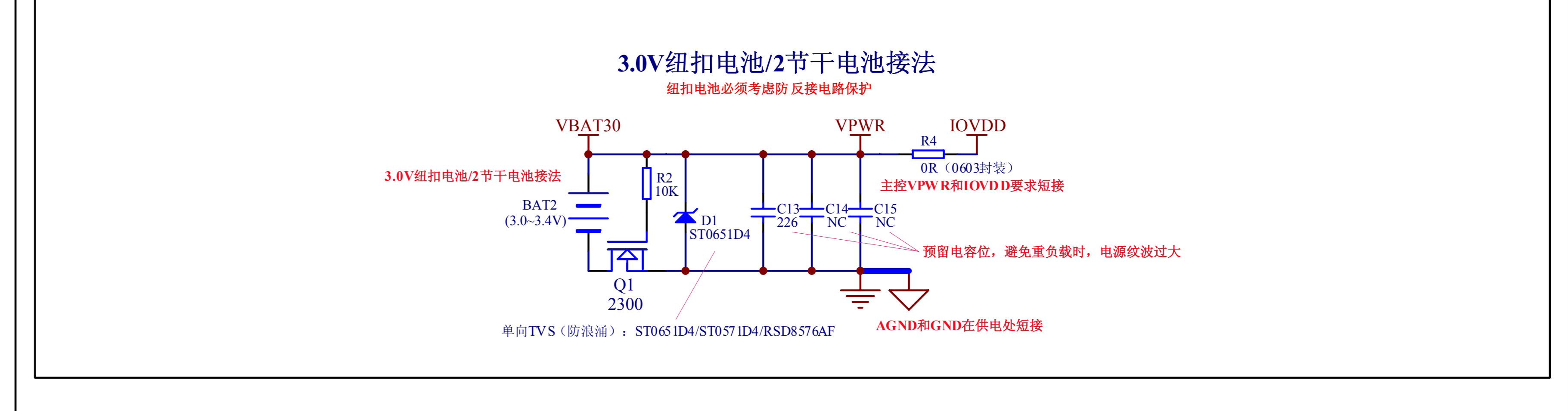
供电场景	供电说明	输入电压	适用场景
供电至VPWR（不和IOVDD短接）		≤5.5V	如3.7V锂电池/3节干电池、DC5V适配器/USB5V接口等
供电至VPWR（和IOVDD短接）		≤3.4V	如3.0V纽扣电池/2节干电池应用

注：电源输入需做好保护，防过压/过流/反接/浪涌/静电等。连接外设时，应避免过载输出。

方案1: 供电至VPWR，不和IOVDD短接 (≤5.5V)



方案2: 供电至VPWR，和IOVDD短接 (≤3.4V)



以上方案二选一

POWER